

E k J

PCT/JP 99/01423

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

30.04.99

REC'D 25 JUN 1999

WIPO PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。
This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application:

1998年 3月23日

出願番号
Application Number:

平成10年特許願第073828号

出願人
Applicant(s):

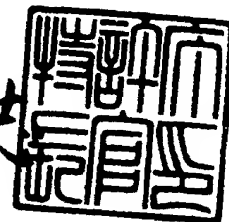
松下電器産業株式会社

PRIORITY
DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

1999年 6月11日

特許庁長官
Commissioner,
Patent Office

伴佐山建志



出証番号 出証特平11-3037124

【書類名】 特許願

【整理番号】 2036400043

【提出日】 平成10年 3月23日

【あて先】 特許庁長官殿

【国際特許分類】 H01J 1/30

【発明の名称】 電界放出型電子源装置

【請求項の数】 9

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 古賀 啓介

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100078204

 【弁理士】

 【氏名又は名称】 滝本 智之

【選任した代理人】

 【識別番号】 100097445

 【弁理士】

 【氏名又は名称】 岩橋 文雄

【手数料の表示】

 【予納台帳番号】 011305

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【包括委任状番号】 9702380

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電界放出型電子源装置

【特許請求の範囲】

【請求項1】 p型シリコン基板上に絶縁膜を介して形成され陰極形成領域に開口部を有する引き出し電極と前記引き出し電極の開口部内に形成された陰極部とを備えた電界放出電子源部と、

前記電界放出電子源部に対応して前記p型シリコン基板上に形成されたnチャネル電界効果トランジスタ部を具備し、

前記電界効果トランジスタ部のドレイン領域に前記電界放出電子源部が形成され、前記電界効果トランジスタ部のゲート電極に印加される制御電圧により、前記電界放出電子源部からの電界放射電流が制御される電界放出型電子源装置であって、

前記ドレイン領域が不純部と濃度の異なる少なくとも2種以上のウエルにより構成され、前記電界効果トランジスタ部のチャネル領域に接するドレイン端部が不純物濃度の低いウエルから成ることを特徴とする電界放出型電子源装置。

【請求項2】 ドレイン領域の不純物元素として、シリコン基板中での熱拡散速度の異なる少なくとも2種以上のn型不純物元素を用いたことを特徴とする請求項1記載の電界放出型電子源装置。

【請求項3】 不純物元素として、熱拡散速度の早い隣元素および熱拡散速度の遅い砒素元素を用いたことを特徴とする請求項1記載の電界放出型電子源装置。

【請求項4】 p型シリコン基板上に絶縁膜を介して形成され陰極形成領域に開口部を有する引き出し電極と前記引き出し電極の開口部内に形成された陰極部とを備えた電界放出電子源部と、

前記電界放出電子源部に対応して前記p型シリコン基板上に形成されたnチャネル電界効果トランジスタ部を具備し、

前記電界効果トランジスタ部のドレイン領域に前記電界放出電子源部が形成され、前記電界効果トランジスタ部のゲート電極に印加される制御電圧により、前記電界放出電子源部からの電界放射電流が制御される電界放出型電子源装置であって、

前記電界トランジスタ部のチャネルゲート電極が少なくとも2種以上の異なるゲート幅を有し、前記チャネルゲート電極の一部が前記ドレイン端領域を覆うように配置されたことを特徴とする電界放出型電子源装置。

【請求項5】 p型シリコン基板上に絶縁膜を介して形成され陰極形成領域に開口部を有する引き出し電極と前記引き出し電極の開口部内に形成された陰極部とを備えた電界放出電子源部と、

前記電界放出電子源部に対応して前記p型シリコン基板上に形成されたnチャネル電界効果トランジスタ部を具備し、

前記電界効果トランジスタ部のドレイン領域に前記電界放出電子源部が形成され、前記電界効果トランジスタ部のゲート電極に印加される制御電圧により、前記電界放出電子源部からの電界放射電流が制御される電界放出型電子源装置であって、

前記電界効果トランジスタの電極と前記p型シリコン基板間にあってシリコン酸化膜により形成されたゲート絶縁膜が、前記引き出し電極と前記p型シリコン基板間にあってシリコン酸化膜により形成された前記絶縁膜より薄い膜で構成され、かつ前記絶縁膜で埋め込まれた構成を有することを特徴とする電界放出型電子源装置。

【請求項6】 ゲート絶縁膜が、電界放出電子源部の陰極の先鋭化熱酸化処理工程で形成されたシリコン熱酸化膜から構成されることを特徴とする請求項5記載の電界放出型電子源装置。

【請求項7】 p型シリコン基板上に絶縁膜を介して形成され陰極形成領域に開口部を有する引き出し電極と前記引き出し電極の開口部内に形成された陰極部とを備えた電界放出電子源部と、

前記電界放出電子源部に対応して前記p型シリコン基板上に形成されたnチャネル電界効果トランジスタ部を具備し、

前記電界効果トランジスタ部のドレイン領域に前記電界放出電子源部が形成され、前記電界効果トランジスタ部のゲート電極に印加される制御電圧により、前記電界放出電子源部からの電界放射電流が制御される電界放出型電子源装置であって、

前記ゲート電極と同一材料からなり、前記電界効果トランジスタ部のチャネル領域を前記ゲート電極以外の領域を覆うように配置された埋め込み型のシールド電極を有することを特徴とする電界放出型電子源装置。

【請求項 8】シールド電極が、p 型シリコン基板と同電位に保持され、ゲート電極以外の外部電界からの電界の影響を遮断する機能を有することを特徴とする請求項 7 記載の電界放出型電子源装置。

【請求項 9】p 型シリコン基板上に絶縁膜を介して形成され陰極形成領域に開口部を有する引き出し電極と前記引き出し電極の開口部内に形成された陰極部とを備えた電界放出電子源部と、

前記電界放出電子源部に対応して前記 p 型シリコン基板上に形成された n チャネル電界効果トランジスタ部を具備し、

前記電界効果トランジスタ部のドレイン領域に前記電界放出電子源部が形成され、前記電界効果トランジスタ部のゲート電極に印加される制御電圧により、前記電界放出電子源部からの電界放射電流が制御される電界放出型電子源装置を製造方法であって、

前記ドレイン領域を、不純部と濃度の異なる少なくとも 2 種以上のウエルにより構成する際、2 種以上の異なる元素のイオン注入を同一マスクを用いて注入したのち、熱処理を行う工程を少なくとも含むことを特徴とする電界放出型電子源装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電子線励起のレーザ、平面型の表示素子、及び超高速の微小真空素子等への応用が期待される冷陰極電子源に係わり、特に集積化及び低電圧化が実現可能な半導体応用の電界放出型電子源及びその製造方法に関するものである。

【0002】

【従来の技術】

半導体微細加工技術の進展により、微小な冷陰極構造の形成が可能になったことから、真空マイクロエレクトロニクス技術の開発が盛んになりつつある。平面

型の電子放出特性や高い電流密度が期待できることから、特に次世代フラットディスプレイの電子源として期待が集まっている。また、動作温度がTFT-LCD等の液晶表示方式に比べて広範囲であるため、車載用の耐環境ディスプレイとしても実用化が望まれている。

【0003】

これらの電子源をフラットディスプレイの用途として用いるためには、動作電圧の低減、電子放出特性の安定化や長寿命特性等の要求仕様を満足する必要がある。特に、電子放出特性の安定化はディスプレイの輝度としての基本性能に直接係わる問題であり、重要な技術課題として位置づけられている。

【0004】

この課題に対し、電子源内部に抵抗層を挿入する方法や定電流回路を内蔵する方法などが提案されている。

【0005】

以下、従来例として、特開平8-87957号公報に記載されている電界放射冷陰極装置の構成図を図5に示す。この従来例では、電界放射陰極素子のエミッタ電子流放射量を電界効果トランジスタ(FET)の定電流特性を用いて一定化させる原理を用いている。図中(a)は1つの電界放射陰極素子及びFETが構成されているシリコン基板の一部の断面図、(b)は電界放射陰極素子を含む部分の電氣的等価回路を示す回路構成図である。

【0006】

図5(a)、(b)において、101はp型シリコン基板、102はFET110のソースとなる第1のn型層、103は電界放射陰極素子の円錐形エミッタ、104は絶縁層、104'は電界放射陰極素子のゲート絶縁層、105は電界放射陰極素子のゲート層、106はFET110のドレインとなる第2のn型層、107はFET110のソース電極、108はFET110のゲート電極、109は電界放射陰極素子のアノード、110は電界効果トランジスタ(FET)、111はソース抵抗、112はゲート電圧源(電圧値 V_g)、113はアノード電圧源(電圧値 V_a)、114はゲートソース間制御電圧源(電圧値 V_{gs})である。

【0007】

また、図5(b)に示すように電界放射陰極素子は、アノード(A)109、ゲート(G)105、エミッタ(E)103を備えた3極管を構成し、エミッタ(E)103と接地間にFET110のドレインソース経路と、ソース抵抗111が直列接続される。

【0008】

この3極管において、アノード(A)109はアノード電圧 V_a を発生するアノード電圧源113に接続され、ゲート(G)105は固定のゲート電圧 V_g を発生するゲート電圧源112に接続される。FET110において、ゲート108は可変のゲートソース間制御電圧 V_{gs} を発生するゲートソース間制御電圧源114に接続される。

【0009】

この電界放射陰極装置に用いられる電界放射陰極素子は、アノード109に所定のアノード電圧 V_a を、ゲート105に所定のゲート電圧 V_g をそれぞれ印加し、FET110のゲート108に所要の値のゲートソース間電圧 V_{sg} を印加すれば、エミッタ103を加熱することなく、エミッタ103からエミッタ電子流放射が行われる。

【0010】

この場合、電界放射陰極素子のエミッタ電子流放射量は、ゲート105に印加される固定のゲート電圧 V_g によって制御されるのではなく、電界放射陰極素子のエミッタ103に接続されるFET110のゲート108に印加の可変ゲートソース間制御電圧 V_{gs} によって制御される。即ち、FET110は、そのゲート108に印加されるゲートアース間制御電圧 V_{gs} を適時選択した場合、定電流領域で動作するようになる。

【0011】

このように、エミッタから電界放射される電子流放射量は、このエミッタに直列に接続され放射される電子を供給する機能を持つFETの特性によって決定されることになる。従って、FETの設計を最適に行うことによって、FETの動作条件と電界放射電子流量を事前に設計することが可能になる。特に、FETの飽和動作領域で電界放射を行うことでエミッタ自信の不安定要因から開放され、

結果として極めて安定で、正確に制御された電界放射電子流量を得ることができる。

【0012】

【発明が解決しようとする課題】

ところが、前記の従来例の電界放射型陰極素子は、電界放射電子流量を短期間安定に制御することは可能であるが、動作条件によっては長期間にわたって安定性を確保することができないと言う問題を有していた。以下、具体的に従来例の問題点を説明する。

【0013】

ゲート108にゲートソース間制御電圧 V_{gs} を適当に印加した状態で、つまりFETのチャネルゲートを開いた状態でゲート105にゲート電圧 V_g を印加していくと、ある一定の電圧以上で電界放射陰極素子のエミッタ先端から電界放射が発生し、エミッタ先端からアノード109へ向かって電界放射電子が流れる。

【0014】

この時、FETのチャネル抵抗が十分高いために電界放射電子流量に応じてドレイン電位が上昇する。このドレイン電位は、主にFETの設計パラメータであるチャネル抵抗と、動作条件である電界放射電子流量の積に依存する。

【0015】

電界放射電子流量はFEDパネルの要求輝度に応じて設定されるが、通常1画素あたり1 μ A程度が設定される。更に、電源電圧が3.5V程度の通常のFETを用いてミクロンレベルの微少な素子寸法を仮定した場合、ドレイン電位は数ボルト以上に上昇することが実験的に確認されている。

【0016】

また、FETの動作電圧を低く設計するためには、更にチャネル抵抗を高く設計することが必要になり、また、輝度を高くするために電界放射電子流量を増大させると、前記のドレイン電位の上昇は益々高くなると考えられる。

【0017】

ドレイン電位の上昇は、通常のLSI素子の場合と同様に、幾つかの問題を引き起こす。その一つがホットエレクトロン現象である。ソースドレイン間の電位

が、シリコンのバンドギャップエネルギーの 1.1 eV を超えた条件でFETを長時間動作させると、ソースドレイン間の電界により加速された電子が、ドレイン近傍のゲート絶縁膜界面に注入される現象が起きる。

【0018】

この注入された電子は、ゲート絶縁膜付近に留まってゲート電圧を打ち消す作用を引き起こしたり、またはゲート絶縁膜界面に界面準位を形成してゲート絶縁膜を介したリーク電流を発生させたり、様々なFET性能の劣化を引き起こす。

【0019】

更に、FETの特性変化を引き起こす要因としてインパクトイオン化現象がある。ソースドレイン電位が 10 V 以上の極めて高い状態では、高速に加速された電子がホールエレクトロンのペアを生成し、なだれ増倍現象となって極めて大きな電流変化を引き起こして、最終的にはFETの素子破壊につながることも予想される。

【0020】

これらの、ホットエレクトロンによるFET特性の劣化やインパクトイオン化によるFET特性変動や素子破壊等は、デバイスの長期信頼性動作にとって大きな障害となり、特に低電圧動作や素子の高集積化を進める上で、重大な問題となっていた。

【0021】

一方で、FET素子近傍での高い外部電界の影響によるFET特性の変化の現象も存在する。電界放射陰極素子のエミッタ先端から電界放射を発生させるためには、通常ゲート5に数十V以上のゲート電圧を V_g 印加する必要がある。

【0022】

高精細なディスプレイを実現するために高密度に電界放射陰極素子と対応するFET素子を集積化すると、ゲート5とFETのチャネル部が近接することにより高いゲート電圧からの電界がFETのチャネル部に影響を及ぼすことが予想される。

【0023】

この場合、本来FETのソースゲート間電圧 V_{sg} により安定に制御されていた

電界放射電子流量が、上述の外部電界により見かけ上チャネル抵抗が低下し、電界放射電子流量が増加する現象を引き起こす。ゲート電圧 V_g が高く、ソースゲート間電圧 V_{sg} が低く、更に素子の集積密度が大になればなるほど、外部電界の影響を受ける危険性が増加する。この外部電界による電界放射電子流量の増大の問題も安定なエミッション電流制御を妨げる要因となっており、実用化を図る上で大きな障害となっていた。

【0024】

前記に鑑み、本発明は、次世代ディスプレイに要求される高信頼性動作を実現する電界放出型電子源構造を得ることを第1の目的とし、前記第1の目的に加えて高精細化を図る上で高密度で安定な動作を実現する電界放出型電子源構造を得ることを第2の目的とするものである。

【0025】

【課題を解決するための手段】

前記第1の目的を達成するため、第1の発明は、p型シリコン基板上に絶縁膜を介して形成され陰極形成領域に開口部を有する引き出し電極と前記引き出し電極の開口部内に形成された陰極部とを備えた電界放出電子源部と、前記電界放出電子源部に対応して前記p型シリコン基板上に形成されたnチャネル電界効果トランジスタ部を具備し、前記電界効果トランジスタ部のドレイン領域に前記電界放出電子源部が形成され、前記電界効果トランジスタ部のゲート電極に印加される制御電圧により、前記電界放出電子源部からの電界放射電流が制御される電界放出型電子源装置であって、前記ドレイン領域が不純部と濃度の異なる少なくとも2種以上のウエルにより構成され、前記電界効果トランジスタ部のチャネル領域に接するドレイン端部が不純物濃度の低いウエルから成る構成である。

【0026】

この構成により、高い電界強度が集中するドレイン端部が、低い不純物濃度のウエルで構成され、その結果極度な電界集中を緩和することが可能になり、デバイス動作の信頼性を向上させることができる。

【0027】

第2の発明は、第1の発明の構成に、前記ドレイン領域の不純物元素として、

シリコン基板中での熱拡散速度の異なる少なくとも2種以上のn型不純物元素を用いる構成を付加するものである。この構成により、熱拡散速度の違いを利用した2種以上のn型ウェルを容易に形成することができる。

【0028】

第3の発明は、第1の発明の構成に、前記不純物元素として、熱拡散速度の早い隣元素及び熱拡散速度の遅い砒素元素を用いる構成を付加するものである。この構成により、不純物濃度の低いn-ウェルと不純物濃度の高いn+ウェルを容易に形成することができる。

【0029】

第4の発明は、p型シリコン基板上に絶縁膜を介して形成され陰極形成領域に開口部を有する引き出し電極と前記引き出し電極の開口部内に形成された陰極部とを備えた電界放出電子源部と、前記電界放出電子源部に対応して前記p型シリコン基板上に形成されたnチャネル電界効果トランジスタ部を具備し、前記電界効果トランジスタ部のドレイン領域に前記電界放出電子源部が形成され、前記電界効果トランジスタ部のゲート電極に印加される制御電圧により、前記電界放出電子源部からの電界放射電流が制御される電界放出型電子源装置であって、前記電界トランジスタ部のチャネルゲート電極が少なくとも2種以上の異なるゲート幅を有し、前記チャネルゲート電極の一部が前記ドレイン端領域を覆うように配置された構成を有するものである。

【0030】

この構成により、チャネルゲート電極の一部がドレイン端領域を覆うことにより、ソースからドレインへ流れるドレイン電流がドレイン端領域で拡散され、結果として電流密度を低下させることができる。

【0031】

第5の発明は、p型シリコン基板上に絶縁膜を介して形成され陰極形成領域に開口部を有する引き出し電極と前記引き出し電極の開口部内に形成された陰極部とを備えた電界放出電子源部と、前記電界放出電子源部に対応して前記p型シリコン基板上に形成されたnチャネル電界効果トランジスタ部を具備し、前記電界効果トランジスタ部のドレイン領域に前記電界放出電子源部が形成され、前記電

界効果トランジスタ部のゲート電極に印加される制御電圧により、前記電界放出電子源部からの電界放射電流が制御される電界放出型電子源装置であって、前記電界効果トランジスタの電極と前記 p 型シリコン基板間にあつてシリコン酸化膜により形成されたゲート絶縁膜が、前記引き出し電極と前記 p 型シリコン基板間にあつてシリコン酸化膜により形成された前記絶縁膜より薄い膜で構成され、かつ前記絶縁膜で埋め込まれた構成を有するものである。

【0032】

この構成により、高電圧印加が必要とされる引き出し電極用の厚い絶縁膜と、低電圧駆動のために薄い絶縁膜が必要とされる電界効果トランジスタ用絶縁膜とを機能分離することができる。また、前記ゲート絶縁膜が、前記絶縁膜で埋め込まれた構成を有することにより、多層配線を形成することが可能になり、マトリックス駆動用の配線が容易に形成できる。

【0033】

第6の発明は、第5の発明の構成に、前記ゲート絶縁膜が、前記電界放出電子源部の前記陰極の先鋭化熱酸化処理工程で形成されたシリコン熱酸化膜から成る構成を付加するものである。

【0034】

この構成により、精密に制御された膜質の高い熱酸化膜を用いることにより、高い信頼性が得られるとともに、FETの制御を高精度に行うことができる。

【0035】

第7の発明は、p 型シリコン基板上に絶縁膜を介して形成され陰極形成領域に開口部を有する引き出し電極と前記引き出し電極の開口部内に形成された陰極部とを備えた電界放出電子源部と、前記電界放出電子源部に対応して前記 p 型シリコン基板上に形成された n チャネル電界効果トランジスタ部を具備し、前記電界効果トランジスタ部のドレイン領域に前記電界放出電子源部が形成され、前記電界効果トランジスタ部のゲート電極に印加される制御電圧により、前記電界放出電子源部からの電界放射電流が制御される電界放出型電子源装置であって、前記ゲート電極と同一材料からなり、前記電界効果トランジスタ部のチャネル領域を前記ゲート電極以外の領域を覆うように配置された埋め込み型のシールド電極を

有するものである。

【0036】

この構成により、前記電界効果トランジスタ部のチャネル領域がシールド電極で覆われるため外部電界からの影響を抑制することができる。また、前記ゲート電極と同一材料で構成されることにより、配線工程が簡略化できる。

【0037】

第8の発明は、第7の発明の構成に、前記シールド電極が前記p型シリコン基板と同電位に保持され、前記ゲート電極以外の外部電界からの電界の影響を遮断する機能を有する構成を付加するものである。

【0038】

この構成により、前記シールド電極が前記p型シリコン基板電位と同電位に保持されるため、より確実に外部電界からのシールド機能を発揮できる。

【0039】

第9の発明は、前記ドレイン領域を、不純部と濃度の異なる少なくとも2種以上のウエルにより構成する際、2種以上の異なる元素のイオン注入を同一マスクを用いて注入したのち、熱処理を行う工程を少なくとも含むことを特徴とする。

【0040】

この製造方法によると、複数の不純物濃度を有するドレインウエル構造を再現性よく、簡易に形成できるため、第1の発明に係わる電界放出型電子源装置を確実に製造することができる。

【0041】

【発明の実施の形態】

(第1の実施形態)

以下、本発明の第1の実施形態に係る電界放出型電子源装置の構造について図1を参照しながら説明する。図1(a)は、図1(b)におけるI-I線の断面構造を示し、図1(b)は平面構造を示している。

【0042】

図1に示すように、1はp型シリコン基板、2は電界効果トランジスタ(FET)として動作する素子のソース領域となる第1のn型半導体導電部、3はFE

Tのドレイン領域となる不純物濃度の高い第2のn型半導体導電部、4はFETのドレイン領域となる不純物濃度の低い第3のn型半導体導電部、5は円形断面を持つタワー形状の電界放出型電子源として動作する陰極、6は電界放出型電子源及びFETのゲート絶縁膜として機能するシリコン酸化膜からなる絶縁層、7は電界放出型電子源として動作させるための引き出し電極、8はFETのチャネル領域を制御するためのゲート電極、9はFET用のソース電極である。

【0043】

図1に示したように、本実施形態における電界放出型電子源装置では、p型シリコン基板1の一方の主表面の一部にはFETのソースとなる第1のn型半導体導電部2、及びドレインとなる第2のn型半導体導電部3、更には第2のn型半導体導電部3の周囲を囲むように位置し、不純物濃度の低い第3のn型半導体導電部4が選択的に形成されている。

【0044】

この際、第2のn型半導体導電部3を形成するためのn型不純物元素として熱拡散速度の遅い砒素を用い、第3のn型半導体導電部4を形成するためのn型不純物元素として燐を用いれば、自己整合的に簡略に、かつ精度よく前記で述べた不純物濃度の異なるウェル構造を形成することができる。

【0045】

これは、2種以上の異なる元素のイオン注入を同一マスクを用いて最適に注入したのち、熱処理を行う工程において、熱拡散速度の違いにより不純物プロファイルが変化する原理を利用したものである。つまり、熱拡散速度が早い元素（燐等）は、熱拡散速度が遅い元素（砒素等）に比べて、当初の不純物プロファイルより、より深く、より広く最分布するからである。

【0046】

ドレインとなる第2のn型半導体導電部3の表面には、円形断面を持つタワー形状の陰極5が形成されている。シリコンよりなるタワー形状の陰極5の先端部は、熱酸化を利用した先鋭化プロセスにより、ナノメートルオーダの先端微構造部が形成されている。陰極5に近接して円形状の開口を持つ酸化シリコン膜よりなる絶縁膜6を介して導電性の引き出し電極7が形成されている。ソースとなる

第1のn型半導体導電部2とドレインとなる第2のn型半導体導電部3及び第3のn型半導体導電部4の間に位置したFETのチャネル領域には、絶縁膜6上にFET用のゲート電極8が形成されている。更に、ソースのn型半導体導電部2上には、コンタクト窓を介してソース電極9が形成されている。

【0047】

以下に、上記構成を有する本実施形態における電界放出型電子源装置の動作を説明する。p型シリコン基板1とソース領域となる第1のn型半導体導電部2を接地接続し、引き出し電極7に正の電圧 V_{ex} を印加する。更に、FETのゲート電極8に所定の電圧 V_g を印加すると、ゲート電極8の下部のチャネル領域がオープン状態となり、ソースからドレイン方向に電子キャリアが注入される条件が整う。

【0048】

この条件下で、引き出し電極7に正の電圧 V_{ex} を印加する。サブミクロンオーダーのゲート開口径とナノメートルオーダーの陰極先端部が形成された電界放出電子源では、通常数十ボルトの電圧印加により陰極5の先端から電子が電界放出されはじめる。放出された電子は、図1には図示はしていないが、p型シリコン基板1と対向配置された陽極板へ向かって加速されながら進行する。

【0049】

この場合、陰極5から放出される電子流放射量は、引き出し電極7に印加される固定のゲート電圧 V_{ex} によって制御されるのではなく、陰極5に接続されるFETのゲート電極8に印加の可変ゲートソース間制御電圧 V_g によって制御される。

【0050】

即ち、FETは、そのゲート電極8に印加されるゲートソース間制御電圧 V_g を適時選択した場合、定電流領域で動作するようになる。このように、陰極5から電界放射される電子流放射量は、このエミッタに直列に接続され放射される電子を供給する機能を持つFETの特性によって決定されることになる。

【0051】

従って、FETの設計を最適に行うことによって、FETの動作条件と電界放

射電子流量を事前に設計することが可能になる。特に、FETの飽和動作領域で電界放射を行うことでエミッタ自身の不安定要因から開放され、結果として極めて安定で、正確に制御された電界放射電子流量を得ることができる。

【0052】

ここで、第3のn型半導体伝導部4の機能について詳細に説明する。本実施形態のドレイン構造の特徴は、2種以上の不純物濃度を有する複数のドレインウェル構造（いわゆる、ツインウェル構造）を採用したことにある。

【0053】

電界放出される電子流放射量は、FETのソースから基本的に供給される。ソースドレイン間のチャンネル領域は高い抵抗を有するため、この電子流放射量、つまりチャンネル電流量に応じてドレイン電位が上昇する。

【0054】

サブミクロンプロセスで形成され、電源電圧が3.5ボルト程度で動作するFETの場合、1マイクロアンペア程度のチャンネル電流を想定すると、ドレイン電位は数ボルト以上に達することが実験で確認されている。このドレイン電位により生成されたチャンネル内電界により、ソースから注入された電子は加速されてドレインへ注入される。

【0055】

ところが、チャンネル電界はチャンネル領域では均一には生成されず、シリコン基板表面のドレインの近傍付近に集中する。この結果、チャンネル内を走行する電子は、特にドレイン近傍での高い電界強度の影響を受けて、高いエネルギーを持った電子（ホットエレクトロン）となる。

【0056】

このホットエレクトロンは、ドレイン近傍での電界強度が大きいほど高いエネルギーを有することになり、様々な問題を引き起こす可能性がある。例えば、FETのON/OFF制御を行うしきい電圧の増加やドレイン電流の低下等の問題である。

【0057】

ところが、本実施例で述べた第3のn型半導体伝導部4をドレイン端に配置す

ることにより、前述のホットエレクトロンによるFET性能の劣化を抑制することができる。通常ドレインは、高い不純物濃度であるために、ドレイン端でのp/n接合はアブラプト接合（急峻な接合）に近くなる。

【0058】

本実施例で述べた高い不純物濃度のドレインのn型半導体導電部3の周囲に、低い不純物濃度のn型半導体伝導部4を配置することにより、ドレイン端でのp/n接合が緩やかな接合となり、結果的にドレイン端での電界集中を緩和することができる。この効果により、ホットエレクトロンによるFETの性能劣化を引き起こす要因を除去でき、極めて安定に、かつ長期間にわたって安定なデバイス動作が保証できるため、デバイス信頼性を著しく向上できる。

【0059】

尚、本実施形態の説明では、陰極5の形状としてタワー形状の例を述べたが、従来型の円錐型陰極形状でも同様の効果を得ることができる。また、陰極5の材料として、p型シリコン基板を加工して形成した例を用いたが、従来型の金属材料（モリブデンやタングステン等の高融点金属材料）や炭素系材料（ダイヤモンド、グラファイト、またはダイヤモンドライクカーボン等）を用いても同様の効果を得ることができる。

【0060】

（第2の実施形態）

以下、本発明の第2の実施形態に係る電界放出型電子源装置の構造について図2を参照しながら説明する。図2(a)は、図2(b)におけるI-I線の断面構造を示し、図2(b)は平面構造を示している。

【0061】

図2に示すように、1はp型シリコン基板、2は電界効果トランジスタ（FET）として動作する素子のソース領域となる第1のn型半導体導電部、3はFETのドレイン領域となる不純物濃度の高い第2のn型半導体導電部、4はFETのドレイン領域となる不純物濃度の低い第3のn型半導体導電部、5は円形断面を持つタワー形状の電界放出型電子源として動作する陰極、6は電界放出型電子源及びFETのゲート絶縁膜として機能するシリコン酸化膜からなる絶縁層、7

は電界放出型電子源として動作させるための引き出し電極、8 TはFETのチャネル領域を制御するためのT字型のゲート電極、9はFET用のソース電極である。

【0062】

図2に示したように、本実施形態における電界放出型電子源装置では、p型シリコン基板1の一方の主表面の一部には、FETのソースとなるn型半導体導電部2、及びドレインとなるn型半導体導電部3、更にはn型半導体導電部3の周囲を囲むように位置し、不純物濃度の低いn型半導体導電部4が選択的に形成されている。

【0063】

ドレインとなるn型半導体導電部3の表面には、円形断面を持つタワー形状の陰極5が形成されている。シリコンよりなるタワー形状の陰極5の先端部は、熱酸化を利用した先鋭化プロセスによりナノメートルオーダーの先端微構造部が形成されている。陰極5に近接して円形状の開口を持つ酸化シリコン膜よりなる絶縁膜6を介して導電性の引き出し電極7が形成されている。

【0064】

ソースのn型半導体導電部2とドレインのn型半導体導電部3及びn型半導体導電部4の間に位置したFETのチャネル領域には、絶縁膜6上にFET用のゲート電極8 Tが形成されている。このゲート電極8 Tは、従来の単一幅を有するゲート電極構造と異なり、2種以上の複数のゲート幅を有している（いわゆるT字型ゲート構造）。

【0065】

更に、ゲート電極8 Tの一部が、FETのチャネル領域にありドレイン端に位置している不純物濃度の低いn型半導体導電部4の表面を覆うように配置されている。更に、ソースのn型半導体導電部2上には、コンタクト窓を介してソース電極9が形成されている。

【0066】

以下に、上記構成を有する本実施形態における電界放出型電子源装置の動作を説明する。p型シリコン基板1とソースのn型半導体導電部2を接地接続し、引

き出し電極 7 に正の電圧 V_{ex} を印加する。更に、FET のゲート電極 8 T に所定の電圧 V_g を印加すると、ゲート電極 8 T の下部のチャネル領域がオープン状態となり、ソースからドレイン方向に電子キャリアが注入される条件が整う。

【0067】

この条件下で、引き出し電極 7 に正の電圧 V_{ex} を印加する。サブミクロンオーダーのゲート開口径とナノメートルオーダーの陰極先端部が形成された電界放出電子源では、通常数十ボルトの電圧印加により陰極 5 の先端から電子が電界放出されはじめる。放出された電子は、図 2 には図示はしていないが、p 型シリコン基板 1 と対向配置された陽極板へ向かって加速されながら進行する。

【0068】

この場合、陰極 7 から放出される電子流放射量は、引き出し電極 7 に印加される固定のゲート電圧 V_{ex} によって制御されるのではなく、陰極 5 に接続される FET のゲート電極 8 T に印加の可変ゲートソース間制御電圧 V_g によって制御される。

【0069】

即ち、FET は、そのゲート電極 8 T に印加されるゲートソース間制御電圧 V_g を適時選択した場合、定電流領域で動作するようになる。このように、陰極 5 から電界放射される電子流放射量は、このエミッタに直列に接続され、放射される電子を供給する機能を持つ FET の特性によって決定されることになる。

【0070】

従って、FET の設計を最適に行うことによって、FET の動作条件と電界放射電子流量を事前に設計することが可能になる。特に、FET の飽和動作領域で電界放射を行うことでエミッタ自信の不安定要因から開放され、結果として極めて安定で正確に制御された電界放射電子流量を得ることができる。

【0071】

ここで、2 種以上の異なるゲート幅を有し、かつドレイン端領域を覆うように配置されたゲート電極 8 T の機能について詳細に説明する。電界放出される電子流放射量は、FET のソースから基本的に供給される。ソースドレイン間のチャネル領域は高い抵抗を有するため、この電子流放射量、つまりチャネル電流量に

応じてドレイン電位が上昇する。

【0072】

サブミクロンプロセスで形成され、電源電圧が3.5ボルト程度で動作するFETの場合、1マイクロアンペア程度のチャネル電流を想定すると、ドレイン電位は数ボルト以上に達することが実験で確認されている。このドレイン電位により生成されたチャネル内電界により、ソースから注入された電子は加速されてドレインへ注入される。

【0073】

ところが、チャネル電界はチャネル領域では均一には生成されず、シリコン基板表面のドレインの近傍付近に集中する。この結果、チャネル内を走行する電子は、特にドレイン近傍での高い電界強度の影響を受けて、高いエネルギーを持った電子（ホットエレクトロン）となる。このホットエレクトロンは、ドレイン近傍での電界強度が大きいほど高いエネルギーを有することになり、様々な問題を引き起こす可能性がある。例えば、FETのON/OFF制御を行うしきい電圧の増加やドレイン電流の低下等がある。

【0074】

ところが、本実施例で述べたゲート電極8T（いわゆるT字型ゲート構造）をドレイン端を覆うように配置することにより、前述のホットエレクトロンの現象を抑制することができる。

【0075】

図2(b)で示すように、ゲート電極8Tの一方の端部が、ドレイン端領域のn型半導体導電部4を被うように配置する。すると、FETのソースから注入された電子は、ゲート電極8Tの下部領域に形成されたチャネルにそって進行するため、前述のn型導電部領域では電流経路が拡大される。その結果、ゲート電極8Tのドレイン端領域では、それ以外の領域に比べてドレイン電流密度が大きく低下することになる。

【0076】

ホットエレクトロン現象は、電界強度とともにドレイン電流密度に依存するため、結果的にホットエレクトロンによるFETの性能劣化を大きく低減できる効

果を有する。更に、本実施形態で述べた複数の幅を有するゲート電極構造（いわゆるT字型ゲート構造）は、設計の自由度の点でも効果がある。

【0077】

FETのチャネルを流れるドレイン電流量は、ゲート電極の幅(W)と長さ(L)のパラメータ(W/L)に依存して決まる。ドレインの幅は、素子全体の集積度や配置によって必然的に決まる要素が多いため、ゲート電極の幅(W)を自由に設計することは困難な場合が多い。

【0078】

ところが、本実施形態で述べたT字型ゲート構造を採用することによって、ドレイン端領域を被うように配置した後、残りのゲート部分で幅(W)と(L)の素子寸法を自由に設定できることになり、デバイス設計の自由度が向上することになる。

【0079】

この効果により、素子設計の自由度を確保しながら、ホットエレクトロンによるFETの性能劣化を引き起こす要因を除去でき、極めて安定に、かつ長期間にわたって安定なデバイス動作が保証できるため、デバイス信頼性を著しく向上できる。

【0080】

（第3の実施形態）

以下、本発明の第3の実施形態に係る電界放出型電子源装置の構造について図3を参照しながら説明する。

【0081】

図3に示すように、31はp型シリコン基板、32は電界効果トランジスタ(FET)として動作する素子のソース領域となる第1のn型半導体導電部、33はFETのドレイン領域となる不純物濃度の高い第2のn型半導体導電部、34はFETのドレイン領域となる不純物濃度の低い第3のn型半導体導電部、35は円形断面を持つタワー形状の電界放出型電子源として動作する陰極、36はFETのゲート絶縁膜として機能するシリコン酸化膜からなる下部絶縁層、37は電界放出型電子源用引き出し電極として機能させるシリコン酸化膜からなる上部

絶縁層、38は電界放出型電子源として動作させるための引き出し電極、39はFETのチャネル領域を制御するためのゲート電極、40はFET用のソース電極である。

【0082】

図3に示したように、本実施形態における電界放出型電子源装置では、p型シリコン基板31の一方の主表面の一部にはFETのソースとなるn型半導体導電部32、及びドレインとなるn型半導体導電部33、更にはn型半導体導電部33の周囲を囲むように位置し、不純物濃度の低いn型半導体導電部34が選択的に形成されている。

【0083】

ドレインとなるn型半導体導電部33の表面には、円形断面を持つタワー形状の陰極35が形成されている。シリコンよりなるタワー形状の陰極35の先端部は、熱酸化を利用した先鋭化プロセスによりナノメートルオーダの先端微構造部が形成されている。陰極35に近接して円形状の開口を持つ酸化シリコン膜よりなる下部絶縁膜36及び上部絶縁膜37を介して導電性の引き出し電極38が形成されている。

【0084】

ソースのn型半導体導電部32とドレインのn型半導体導電部33及びn型半導体導電部34の間に位置したFETのチャネル領域には、下部絶縁膜36上にあって上部絶縁膜37に埋め込まれた構成を有するFET用のゲート電極39が形成されている。下部絶縁膜36は、陰極35の先鋭化プロセスで形成した熱酸化膜を用いている。更に、ソースのn型半導体導電部32上には、コンタクト窓を介してソース電極40が形成されている。

【0085】

以下に、上記構成を有する本実施形態における電界放出型電子源装置の動作を説明する。p型シリコン基板31と第1のn型半導体導電部32を接地接続し、引き出し電極38に正の電圧 V_{ex} を印加する。更に、FETのゲート電極39に所定の電圧 V_g を印加すると、ゲート電極39の下部のチャネル領域がオープン状態となり、ソースからドレイン方向に電子キャリアが注入される条件が整う。

下部絶縁膜 36 は、FET のしきい電圧を低減するために、良質で薄い条件が望ましい。この条件下で、引き出し電極 38 に正の電圧 V_{ex} を印加する。

【0086】

サブミクロンオーダのゲート開口径とナノメートルオーダの陰極先端部が形成された電界放出電子源では、通常数十ボルトの電圧印加により、陰極 35 の先端から電子が電界放出されはじめる。放出された電子は、図 1 には図示はしていないが、p 型シリコン基板 31 と対向配置された陽極板へ向かって加速されながら進行する。

【0087】

この場合、陰極 35 から放出される電子流放射量は、引き出し電極 38 に印加される固定のゲート電圧 V_{ex} によって制御されるのではなく、陰極 35 に接続される FET のゲート電極 39 に印加の可変ゲートソース間制御電圧 V_g によって制御される。

【0088】

即ち、FET は、そのゲート電極 39 に印加されるゲートソース間制御電圧 V_g を適時選択した場合、定電流領域で動作するようになる。このように、陰極 35 から電界放射される電子流放射量は、このエミッタに直列に接続され放射される電子を供給する機能を持つ FET の特性によって決定されることになる。

【0089】

従って、FET の設計を最適に行うことによって、FET の動作条件と電界放射電子流量を事前に設計することが可能になる。特に、FET の飽和動作領域で電界放射を行うことでエミッタ自身の不安定要因から開放され、結果として極めて安定で正確に制御された電界放射電子流量を得ることができる。

【0090】

ここで、下部絶縁膜 36 と上部絶縁膜 37 により埋め込まれた構成を有するゲート電極 39 の機能について詳細に説明する。本実施形態の下部絶縁膜 36 は、主に FET 用のゲート絶縁膜として機能する。FET を ON/OFF させる際のしきい電圧は、ゲート絶縁膜の厚さに強く依存し、より低い電圧で動作をさせるにはできるだけ良質で薄い絶縁膜が必要となる。

【0091】

一方、電界放出型電子源用の引き出し電極38には、下部絶縁膜36と上部絶縁膜37の積層膜を用いている。引き出し電極38には、通常数十ボルトの高い電圧を印加するために、耐圧を考慮して厚い絶縁膜が必要とされる。

【0092】

また、引き出し電極38に電圧を印加することで電界放出型電子源のON/OFF制御を行う場合、絶縁膜は厚く設計される方が、動作スピードや消費電力の点で有利となる。従って、本実施形態で述べたように、FET用のゲート絶縁膜と電界放出型電子源用の絶縁膜を独自に設計できるため、素子の高性能化が図りやすい。

【0093】

更に、ゲート電極39は、上部絶縁膜37により埋め込まれた構造のため、LSIで一般に用いられている多層配線構造が容易に得られる。多層配線を用いることにより、1層配線では不可能なx、y方向のマトリックス駆動用配線構造が容易に実現できることになる。

【0094】

(第4の実施形態)

以下、本発明の第4の実施形態に係る電界放出型電子源装置の構造について図4を参照しながら説明する。

【0095】

図4に示すように、41はp型シリコン基板、42は電界効果トランジスタ(FET)として動作する素子のソース領域となる第1のn型半導体導電部、43はFETのドレイン領域となる不純物濃度の高い第2のn型半導体導電部、44はFETのドレイン領域となる不純物濃度の低い第3のn型半導体導電部、45は円形断面を持つタワー形状の電界放出型電子源として動作する陰極、46はFETのゲート絶縁膜として機能するシリコン酸化膜からなる下部絶縁層、47は電界放出型電子源用引き出し電極として機能させるシリコン酸化膜からなる上部絶縁層、48は電界放出型電子源として動作させるための引き出し電極、49はFETのチャネル領域を制御するためのゲート電極、50はFETのチャネル領

域の外部電界からのシールド電極、51はFET用のソース電極である。

【0096】

図4に示したように、本実施形態における電界放出型電子源装置では、p型シリコン基板41の一方の主表面の一部にはFETのソースとなるn型半導体導電部42、及びドレインとなるn型半導体導電部43、更にはn型半導体導電部43の周囲を囲むように位置し、不純物濃度の低いn型半導体導電部44が選択的に形成されている。ドレインとなるn型半導体導電部43の表面には、円形断面を持つタワー形状の陰極45が形成されている。

【0097】

シリコンよりなるタワー形状の陰極45の先端部は、熱酸化を利用した先鋭化プロセスによりナノメートルオーダーの先端微構造部が形成されている。陰極45に近接して円形状の開口を持つ酸化シリコン膜よりなる下部絶縁膜46及び上部絶縁膜47を介して導電性の引き出し電極48が形成されている。ソースのn型半導体導電部42とドレインのn型半導体導電部43及びn型半導体導電部44の間に位置したFETのチャネル領域には、下部絶縁膜46上であって、上部絶縁膜47に埋め込まれた構成を有するFET用のゲート電極49が形成されている。

【0098】

また、FETのチャネル領域であって、FET用のゲート電極49が形成されていない領域を覆うように、ゲート電極49と同一材料からなるシールド電極50が配置されている。下部絶縁膜46は、陰極45の先鋭化プロセスで形成した熱酸化膜を用いている。更に、ソースのn型半導体導電部42上には、コンタクト窓を介してソース電極51が形成されている。

【0099】

以下に、上記構成を有する本実施形態における電界放出型電子源装置の動作を説明する。p型シリコン基板41とソースのn型半導体導電部42及びシールド電極50を接地接続し、引き出し電極58に正の電圧 V_{ex} を印加する。

【0100】

更に、FETのゲート電極49に所定の電圧 V_g を印加すると、ゲート電極4

9の下部のチャネル領域がオープン状態となり、ソースからドレイン方向に電子キャリアが注入される条件が整う。この条件下で、引き出し電極48に正の電圧 V_{ex} を印加する。

【0101】

サブミクロンオーダのゲート開口径とナノメートルオーダの陰極先端部が形成された電界放出電子源では、通常数十ボルトの電圧印加により、陰極45の先端から電子が電界放出されはじめる。放出された電子は、図には示していないが、p型シリコン基板41と対向配置された陽極板へ向かって加速されながら進行する。

【0102】

この場合、陰極45から放出される電子流放射量は、引き出し電極48に印加される固定のゲート電圧 V_{ex} によって制御されるのではなく、陰極45に接続されるFETのゲート電極49に印加の可変ゲートソース間制御電圧 V_g によって制御される。即ち、FETは、そのゲート電極49に印加されるゲートソース間制御電圧 V_g を適時選択した場合、定電流領域で動作するようになる。

【0103】

このように、陰極45から電界放射される電子流放射量は、このエミッタに直列に接続され、放射される電子を供給する機能を持つFETの特性によって決定されることになる。

【0104】

従って、FETの設計を最適に行うことによって、FETの動作条件と電界放射電子流量を事前に設計することが可能になる。特に、FETの飽和動作領域で電界放射を行うことでエミッタ自身の不安定要因から開放され、結果として極めて安定で正確に制御された電界放射電子流量を得ることができる。

【0105】

ここで、シールド電極50の機能について詳細に説明する。所定の真空雰囲気下で、前述の電界放出型電子源を動作させると、陰極45から電界放出された電子は真空雰囲気中の残留ガス分子と衝突してイオン化させる現象が発生する。

【0106】

このイオン化は、動作させる真空度、残留分子の種類、濃度、電子を加速させるための外部電界強度、または電界放射される電子密度（エミッション電流量）等に強く依存する。

【0107】

発生したイオンの中で、正に帯電したイオン（陽イオン）は、電子とは反対方向の電界を受けて基板方向へと導かれ、シリコン基板41へ照射される。

【0108】

本実施形態で説明した素子構造は、最表面が上部絶縁膜47で覆われている。この陽イオンがある一定の密度以上で上部絶縁膜47上に照射され続けると、上部絶縁膜47上に次第に正のチャージが帯電してしまい、正のチャージ電圧が発生する。

【0109】

仮に、シールド電極50が形成されていないFETの場合、以下に述べる問題が発生する。イオン照射zによりFETのチャネル領域の上部に発生したチャージ電圧が、FETの動作電圧を超えると誤動作を引き起こすことになる。正常に制御されたドレイン電流に加えて、チャージ電圧による付加的なドレイン電流が流れることにより、FETの電流制御特性が損なわれることになる。

【0110】

本実施形態で述べた基板と導電位に接続されたシールド電極50でチャネル領域を覆うことにより、チャージ電圧が発生しても、チャネル領域への電界の影響をシールド効果により防ぐことができるため、FETの特性変化を防止できる。実際のパネルでは、 10^{-6} Torr程度の低真空雰囲気下でのエミッション動作が必要と考えられるため、前述のイオン照射の影響が強まると予想される。

【0111】

そのような場合でも、シールド電極を採用することによりFETの特性変化を防ぐことができ、長期間にわたって安定なエミッション動作が可能であるため、デバイス信頼性を著しく向上させることができる。

【0112】

【発明の効果】

以上のように第1の発明に係る電界放出型電子源装置によると、FETのドレイン端部が不純物濃度の低いウエルから構成されるため、FET動作時のドレイン近傍の電界集中を大幅に低減することができる。その結果、従来ホットエレクトロン等により引き起こされていたFETの性能劣化を防ぎ、デバイス動作の信頼性を著しく向上させることができるという利点がある。

【0113】

また、第2の発明に係る電界放出型電子源装置によると、不純物元素の熱拡散速度の違いを利用することにより、容易に不純物濃度の異なる複数のウエル構造を実現できるメリットがある。

【0114】

また、第3の発明に係る電界放出型電子源装置によると、不純物元素として、半導体プロセスで用いられる熱拡散速度の早い磷元素及び熱拡散速度の遅い砒素元素を用いるため、制御性に優れた不純物プロファイルを形成できるメリットがある。

【0115】

また、第4の発明に係る電界放出型電子源装置によると、FETのチャネルゲートの一部がドレイン端領域を覆うように配置されるため、ドレイン電流密度を低下させることができ、結果としてホットエレクトロンによるFETの性能劣化を防ぐ利点がある。

【0116】

また、第5の発明に係る電界放出型電子源装置によると、FET用のトランジスタゲート絶縁膜を薄く、かつ電界放出型電子源用の絶縁膜を厚く設定できるため、デバイス性能を向上できる利点がある。更に、チャネルゲート電極が絶縁膜に埋め込まれた構成を有するため、多層配線が容易に形成でき、マトリックス駆動配線用としても適している。

【0117】

また、第6の発明に係る電界放出型電子源装置によると、ゲート絶縁膜としてシリコン熱酸化膜を用いるため、制御性に優れ、かつ高い信頼性が得られるFET制御が可能になる。

【0118】

また、第7の発明に係る電界放出型電子源装置によると、FETのチャネル領域が、チャネルゲート領域を除いて、シールド電極で覆われた構成のため、電子放出の際のイオンチャージによる外部電界からの影響を防ぐことができるという利点がある。

【0119】

また、第8の発明に係る電界放出型電子源装置によると、シールド電極の電位が基板電位と同じに保持されるため、より外部電界からのシールド効果が高まるメリットがある。

【0120】

また、第9の発明に係る電界放出型電子源装置の製造方法によると、複数の不純物濃度を有するドレインウェル構造を再現性よく、簡易に形成できるため、第1の発明に係わる電界放出型電子源装置を確実に製造することができる。

【図面の簡単な説明】

【図1】

- (a) 本発明の第1の実施形態に係る電界放出型電子源装置を示した断面図
- (b) 同平面図

【図2】

- (a) 本発明の第2の実施形態に係る電界放出型電子源装置を示した断面図
- (b) 同平面図

【図3】

本発明の第3の実施形態に係る電界放出型電子源装置を示した断面図

【図4】

- (a) 本発明の第4の実施形態に係る電界放出型電子源装置を示した断面図
- (b) 同平面図

【図5】

- (a) 従来の電界放出型電子源の構造断面図
- (b) 同等価回路図

【符号の説明】

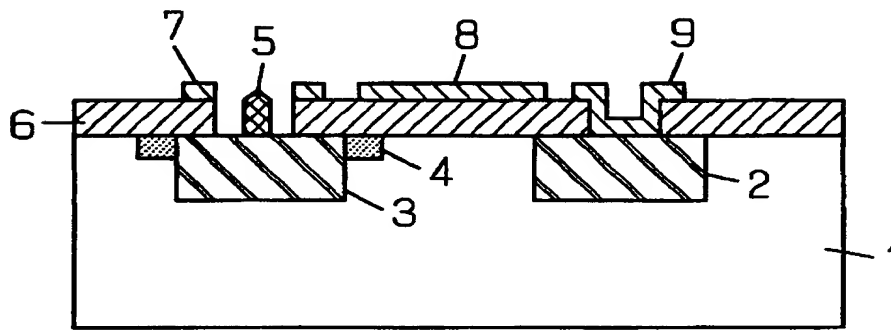
- 1 p 型シリコン基板
- 2 第 1 の n 型半導体導電部
- 3 第 2 の n 型半導体導電部
- 4 第 3 の n 型半導体導電部
- 5 陰極
- 6 絶縁層
- 7 引き出し電極
- 8 ゲート電極
- 9 ソース電極

【書類名】 図面

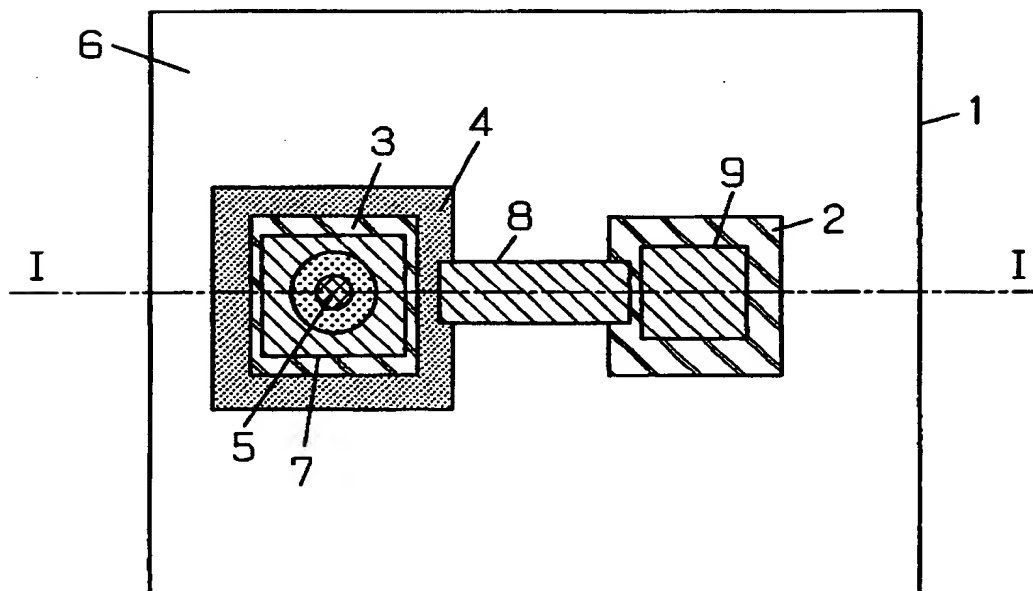
【図 1】

- | | | | |
|---|-------------|-------|--------|
| 1 | p型シリコン基板 | 6 | 絶縁層 |
| 2 | 第1のn型半導体導電部 | 7 | 引き出し電極 |
| 3 | 8 | ゲート電極 | |
| 4 | 第3のn型半導体導電部 | 9 | ソース電極 |
| 5 | 陰極 | | |

(a)

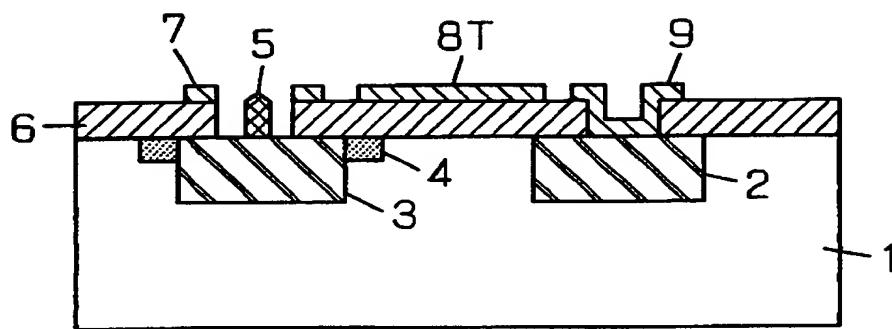


(b)

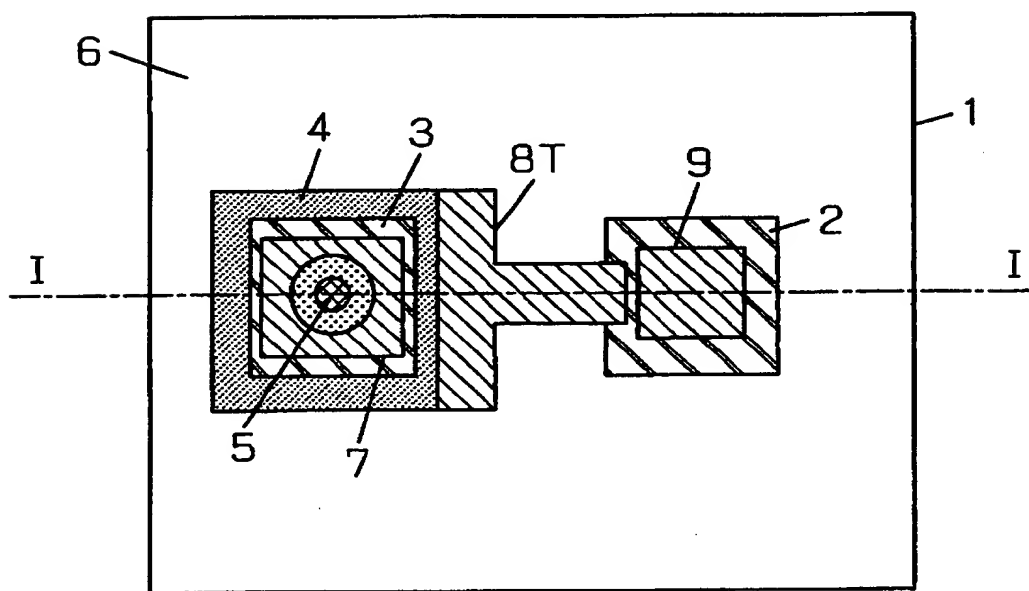


【図 2】

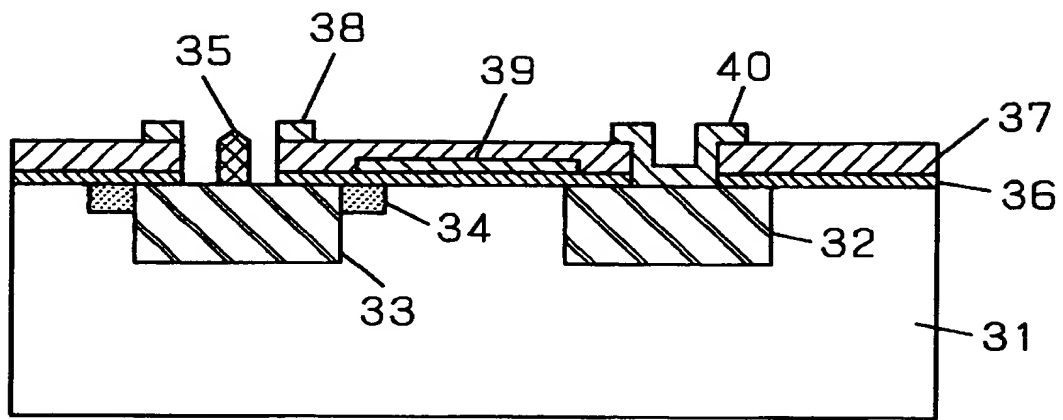
(a)



(b)

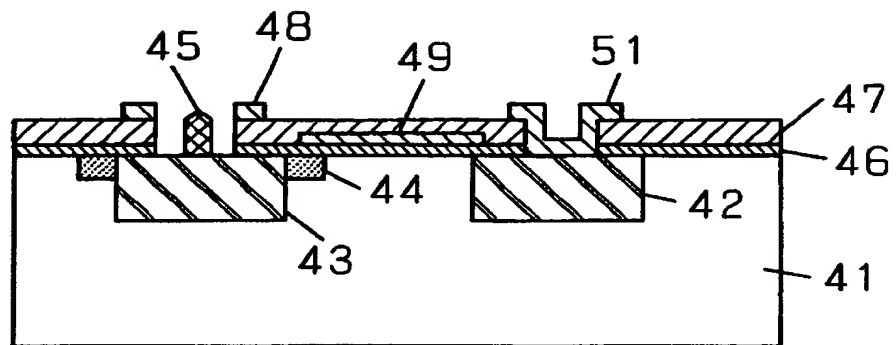


【図 3】

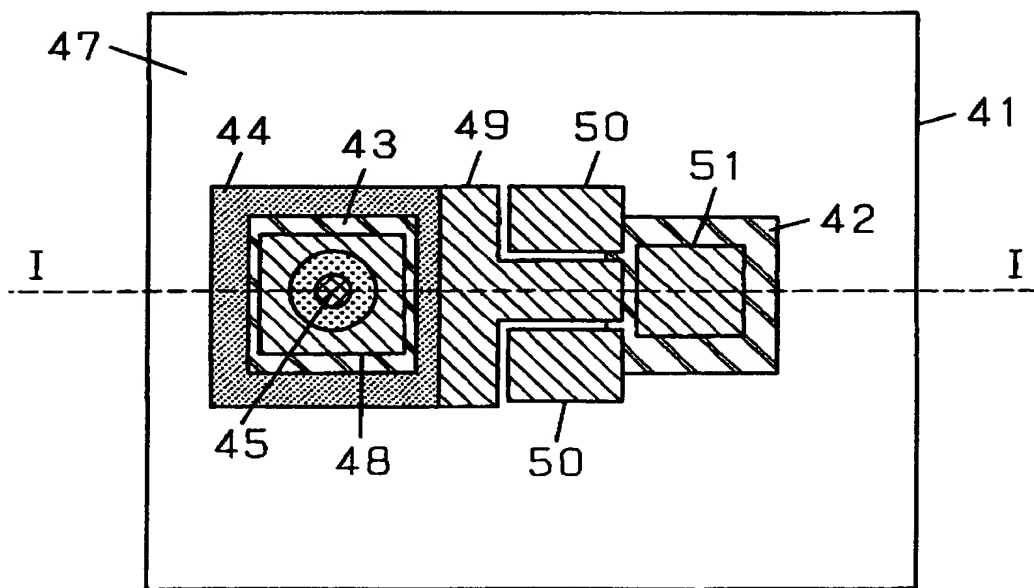


【図 4】

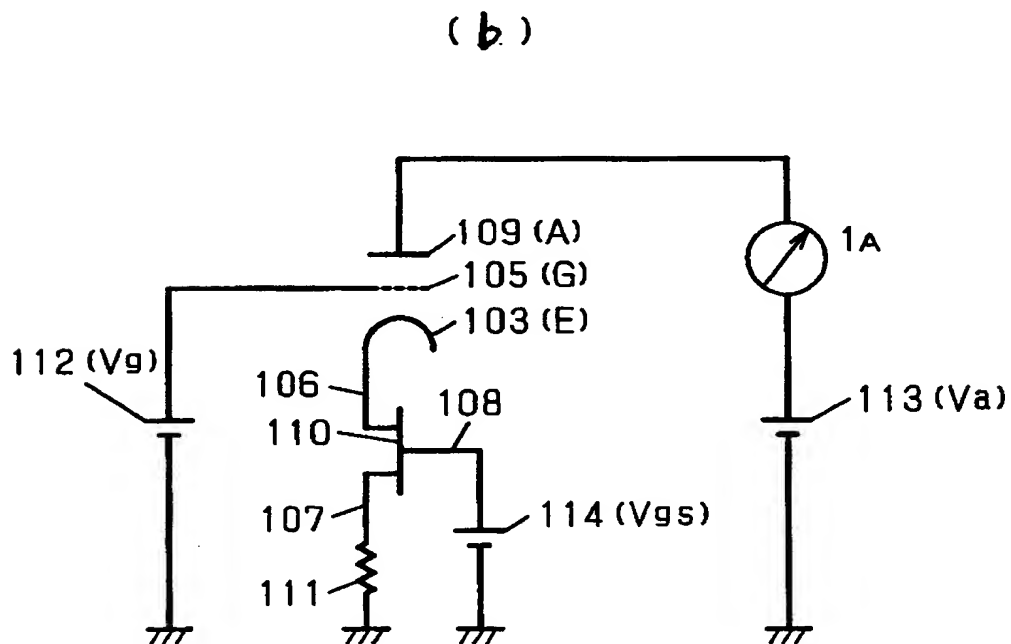
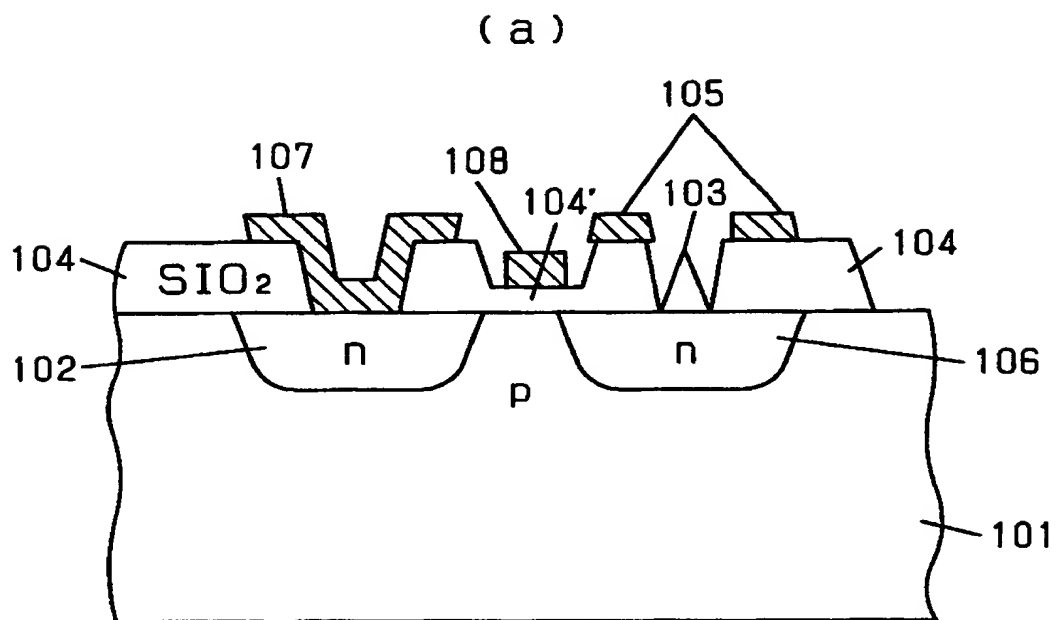
(a)



(b)



【図 5】



【書類名】 要約書

【要約】

【課題】 長期にわたって高安定動作が可能な高信頼性動作を実現する。

【解決手段】 p型シリコン基板 1 上に絶縁層 6 を介して形成され陰極形成領域に開口部を有する引き出し電極 7 と引き出し電極 7 の開口部内に形成された陰極部を備えた電界放出電子源部と、電界放出電子源部に対応した n チャネル電界効果トランジスタ部を備え、電界効果トランジスタ部のドレイン領域に電界放出電子源部が形成され、ゲート電極 8 に印加される制御電圧により、電界放射電流が制御される電子源装置において、ドレイン領域が不純部と濃度の異なる少なくとも 2 種以上のウエルにより構成され、電界効果トランジスタ部のチャネル領域に接するドレイン端部が不純物濃度の低いウエルから成ることを特徴とし、電界放出動作に特有のドレイン電位上昇による過度な電界集中を緩和できる。

【選択図】 図 1

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】
【識別番号】 000005821
【住所又は居所】 大阪府門真市大字門真 1006 番地
【氏名又は名称】 松下電器産業株式会社
【代理人】 申請人
【識別番号】 100078204
【住所又は居所】 大阪府門真市大字門真 1006 松下電器産業株式
会社内
【氏名又は名称】 滝本 智之
【選任した代理人】
【識別番号】 100097445
【住所又は居所】 大阪府門真市大字門真 1006 番地 松下電器産業
株式会社内
【氏名又は名称】 岩橋 文雄

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日
[変更理由] 新規登録
住 所 大阪府門真市大字門真1006番地
氏 名 松下電器産業株式会社

